



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06338808 A**(43) Date of publication of application: **06 . 12 . 94**

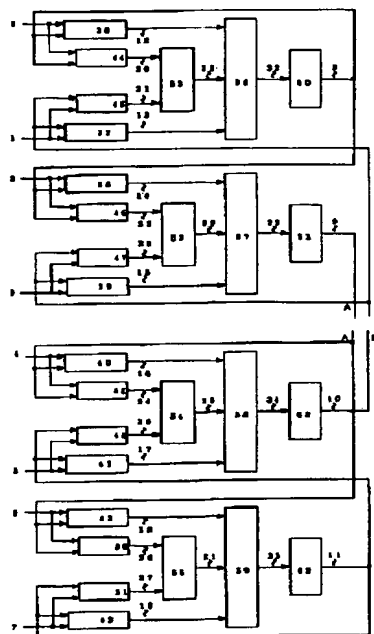
(51) Int. Cl.

**H03M 13/12
G06F 7/50**(21) Application number: **05127167**(22) Date of filing: **28 . 05 . 93**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **OTA KAZUHIRO
KIMURA TOMOHIRO
NAGAISHI YASUO****(54) ADDITION COMPARISON SELECTOR****(57) Abstract:**

PURPOSE: To shorten signal processing time and to accelerate data transmission speed by comparing a simplified pass-metric(SP) found by a simplified arithmetic means, and selecting the pass-metric of an addition result in accordance with the SP decided as the minimum one.

CONSTITUTION: Addition means 36-43 find the candidates 12-19 for new pass-metric by adding branch-metrics 0-7 on the pass-metrics 8-11, respectively. While, simplified addition means 44-51 find the simplified pass-metrics(SP) 20-27 by adding only the high-order bits of the branch-metrics 0-7 on that of the pass-metrics 8-11 by the same combination as that in the addition of the addition means 36-43 in parallel with the above operation. Comparison means 52-55 compare CPs 20-27, and output selection information 28-31. Selection means 56-59 select the candidates 12-19 for new pass-metric based on the selection information 28-31, and output them as the new pass-metrics 32-35, and store them in memory 60-63.

COPYRIGHT: (C)1994,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-338808

(43) 公開日 平成6年(1994)12月6日

(51) Int.Cl.⁵

H 0 3 M 13/12

G 0 6 F 7/50

識別記号

庁内整理番号

F I

技術表示箇所

E

8730-5 J

審査請求 未請求 請求項の数11 O L (全 17 頁)

(21) 出願番号 特願平5-127167

(22) 出願日 平成5年(1993)5月28日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 太田 和廣

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 木村 知弘

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 長石 康男

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

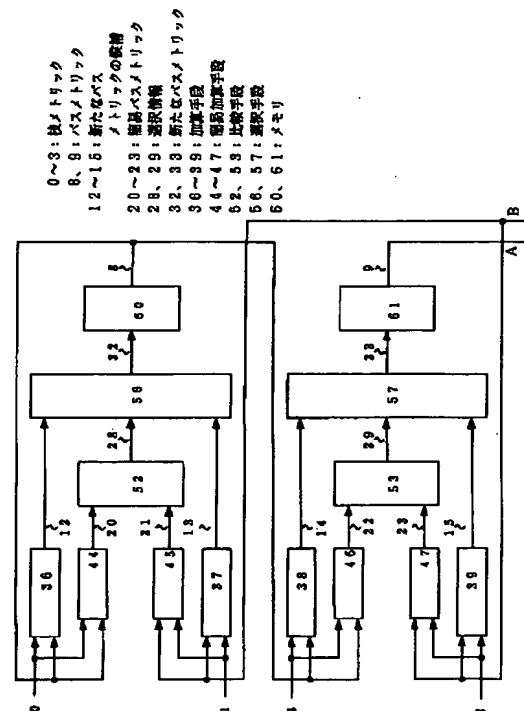
(74) 代理人 弁理士 松田 正道

(54) 【発明の名称】 加算比較選択装置

(57) 【要約】

【目的】 信号処理時間を短くでき、データ伝送速度を高速化することができる加算比較選択装置を提供すること。

【構成】 枝メトリック0～3及びバスメトリック8, 9を加算し、新たなバスメトリックの候補12～15を求める加算手段36～39と、簡易化された加算により簡易バスメトリック20～23を求める簡易加算手段44～47と、その簡易バスメトリック20～23を比較する比較手段52, 53と、その比較結果に基づき、最も小さいと判定された簡易バスメトリック20～23に対応するバスメトリックの候補12～15を選択する選択手段56, 57と、その選択された新たなバスメトリック32, 33を保存するメモリ60, 61とを備える。



【特許請求の範囲】

【請求項1】 1時点毎に、入力される複数の枝メトリックと、保存されている複数のパスメトリックとの、所定の組合せに基づいて、新たな複数のパスメトリックを生成する加算比較選択装置において、前記枝メトリック及びパスメトリックの所定の組合せ毎に加算し、新たなパスメトリックの候補を求める加算手段と、前記所定の組合せ毎に、前記加算手段の加算より簡易化された演算をし、簡易パスメトリックを求める簡易演算手段と、その求められた簡易パスメトリックを比較する比較手段と、その比較結果に基づき、最も小さいと判定された簡易パスメトリックに対応する前記加算手段の加算結果のパスメトリックの候補を選択する選択手段と、その選択された新たなパスメトリックを次の時点でのパスメトリックとして用いるために保存する記憶手段とを備えたことを特徴とする加算比較選択装置。

【請求項2】 枝メトリック及びパスメトリックはデジタル信号であって、前記簡易化された演算とは、前記枝メトリックの上位一部のビットとパスメトリックの上位一部のビットとを加算するものであることを特徴とする請求項1記載の加算比較選択装置。

【請求項3】 枝メトリック及びパスメトリックはデジタル信号であって、前記簡易化された演算とは、前記枝メトリック及びパスメトリックの論理積及び論理和をそれぞれ取る論理演算であることを特徴とする請求項1記載の加算比較選択装置。

【請求項4】 枝メトリック及びパスメトリックはデジタル信号であって、前記簡易化された演算とは、前記枝メトリック及びパスメトリックの論理積及び論理和をそれぞれ取り、更に、その論理積と論理和との論理和を取る論理演算であることを特徴とする請求項1記載の加算比較選択装置。

【請求項5】 枝メトリック及びパスメトリックはデジタル信号であって、前記簡易化された演算とは、前記枝メトリック及びパスメトリックの論理積及び排他的論理和をそれぞれ取る論理演算であることを特徴とする請求項1記載の加算比較選択装置。

【請求項6】 枝メトリック及びパスメトリックはデジタル信号であって、前記簡易化された演算とは、前記枝メトリック及びパスメトリックの論理積及び排他的論理和をそれぞれ取り、更に、その論理積と排他的論理和との論理和を取る論理演算であることを特徴とする請求項1記載の加算比較選択装置。

【請求項7】 枝メトリック及びパスメトリックはデジタル信号であって、前記簡易演算手段は、前記枝メトリック及びパスメトリックを、それぞれ所定数の上位ビットと下位ビットとに分離し、その上位ビット同士、下位ビットの全部又は上位の一部同士をそれぞれ演算し、その演算結果の全部又は上位の一部を簡易パスメトリックとすることを特徴とする請求項1記載の加算比較選択

装置。

【請求項8】 上位ビット同士の演算、又は前記下位ビットの全部又は上位の一部同士の演算は、論理積及び論理和をそれぞれ取る論理演算であることを特徴とする請求項7記載の加算比較選択装置。

【請求項9】 上位ビット同士の演算、又は前記下位ビットの全部又は上位の一部同士の演算は、論理積及び論理和をそれぞれ取り、更に、その論理積と論理和との論理和を取る論理演算であることを特徴とする請求項7記載の加算比較選択装置。

【請求項10】 上位ビット同士の演算、又は前記下位ビットの全部又は上位の一部同士の演算は、論理積及び排他的論理和をそれぞれ取る論理演算であることを特徴とする請求項7記載の加算比較選択装置。

【請求項11】 上位ビット同士の演算、又は前記下位ビットの全部又は上位の一部同士の演算は、論理積及び排他的論理和をそれぞれ取り、更に、その論理積と排他的論理和との排他的論理和を取る論理演算であることを特徴とする請求項7記載の加算比較選択装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えば畳み込み符号化されたデータ系列を最尤復号するビタビ復号器等に用いられる加算比較選択（ACS：Add, Compare, Select）装置に関するものである。

【0002】

【従来の技術】通常、ビタビ復号器は、畳み込み符号化されたデータ系列を入力とし、1シンボル入力される毎に、符号化の規則を満足するような全ての符号化前のデータ系列を推定し、そのうち確からしいと考えられるいくつかのデータ系列をパスとして保存し、一方、全てのパスのうち最も確からしいパスの最古シンボルを1シンボルだけ求める。

【0003】この過程において、パスの確からしさはパスメトリックで表わされ、パスメトリックが小さいほど確からしい。これは、1シンボル毎に計算される枝メトリックを枝に沿って加算されたものである。

【0004】即ち、ビタビ復号器においては、1時点毎に求められる枝メトリックと、保存されているパスメトリックとをいくつかの組合せで加算して新たなパスメトリックの候補を求め、いくつかの組合せで比較して小さい方を新たなパスメトリックとして選択して保存するという加算比較選択（ACS）処理が行なわれる。

【0005】図13及び図14は、従来の加算比較選択装置の一例である。説明のため、従来例としては、拘束長3、符号化率1/2のビタビ復号器における加算比較選択装置を示している。

【0006】図13、14において、100～107は、1時点毎に入力される枝メトリック、108～111は、それぞれメモリ160～163の出力であるパス

メトリック、112～119は、それぞれ加算手段136～143の出力である新たなパスメトリックの候補、128～131は、それぞれ比較手段152～155の出力である選択情報、132～135は、それぞれ選択手段156～159の出力である新たなパスメトリックを示している。

【0007】136～143は加算手段であり、加算手段136は、枝メトリック100とパスメトリック108とを加算して新たなパスメトリックの候補112を出力し、加算手段137は、枝メトリック101とパスメトリック110とを加算して新たなパスメトリックの候補113を出力し、加算手段138は、枝メトリック102とパスメトリック108とを加算して新たなパスメトリックの候補114を出力し、加算手段139は、枝メトリック103とパスメトリック110とを加算して新たなパスメトリックの候補115を出力し、加算手段140は、枝メトリック104とパスメトリック109とを加算して新たなパスメトリックの候補116を出力し、加算手段141は、枝メトリック105とパスメトリック111とを加算して新たなパスメトリックの候補117を出力し、加算手段142は、枝メトリック106とパスメトリック109とを加算して新たなパスメトリックの候補118を出力し、加算手段143は、枝メトリック107とパスメトリック111とを加算して新たなパスメトリックの候補119を出力する。

【0008】152～155は比較手段であり、比較手段152は、新たなパスメトリックの候補112、113を比較してその情報を選択情報128として出力し、比較手段153は、新たなパスメトリックの候補114、115を比較してその情報を選択情報129として出力し、比較手段154は、新たなパスメトリックの候補116、117を比較してその情報を選択情報130として出力し、比較手段155は、新たなパスメトリックの候補118、119を比較してその情報を選択情報131として出力する。

【0009】156～159は選択手段であり、選択手段156は、新たなパスメトリックの候補112、113及び選択情報128を入力とし、選択情報128の情報に基づき、新たなパスメトリックの候補112、113のうち小さい方を新たなパスメトリック132として出力し、選択手段157は、新たなパスメトリックの候補114、115及び選択情報129を入力とし、選択情報129の情報に基づき、新たなパスメトリックの候補114、115のうち小さい方を新たなパスメトリック133として出力し、選択手段158は、新たなパスメトリックの候補116、117及び選択情報130を入力とし、選択情報130の情報に基づき、新たなパスメトリックの候補116、117のうち小さい方を新たなパスメトリック134として出力し、選択手段159は、新たなパスメトリックの候補118、119及び選

択情報131を入力とし、選択情報131の情報に基づき、新たなパスメトリックの候補118、119のうち小さい方を新たなパスメトリック135として出力する。

【0010】160～163はメモリであり、メモリ160は、新たなパスメトリック132を保存し、次の時点でパスメトリック108として出力し、メモリ161は、新たなパスメトリック133を保存し、次の時点でパスメトリック109として出力し、メモリ162は、新たなパスメトリック134を保存し、次の時点でパスメトリック110として出力し、メモリ163は、新たなパスメトリック135を保存し、次の時点でパスメトリック111として出力する。

【0011】以上のように構成された従来の加算比較選択装置の動作について説明する。

【0012】まず、加算手段136～143は、枝メトリック100～107とパスメトリック108～111とを前述のような組合せで加算して新たなパスメトリックの候補112～119を求める。

【0013】次に、比較手段152～155は、新たなパスメトリックの候補112～119を前述したように2個づつ比較して選択情報128～131を出力する。

【0014】その後、選択手段156～159は、選択情報128～131に基づいて、新たなパスメトリックの候補112～119の2個づつの組合せ毎にそれぞれ一つを選択し、それを新たなパスメトリック132～135として出力する。

【0015】出力された新たなパスメトリック132～135は、それらパスメトリック132～135を次の時点でのパスメトリックとして用いるために、メモリ160～163に保存される。

【0016】このように、従来の加算比較選択装置は、1時点の内に、加算、比較、選択の処理を順次行なっていた。

【0017】

【発明が解決しようとする課題】上述のように、従来の加算比較選択装置は、加算処理の結果を用いて比較処理を行ない、その比較結果に基づいて加算結果を選択するという処理を順次行なうこととなる。

【0018】しかしながら、一般に加算及び比較の処理は、信号処理時間が非常に長いため、加算処理及び比較処理を順次行なった場合、信号処理時間は非常に長くなり、ビタビ復号処理等の速度が制限され、データ伝送速度を小さくせざるを得ないという課題がある。

【0019】本発明は、従来の加算比較選択装置のこのような課題を考慮し、信号処理時間を短くでき、データ伝送速度を高速化することができる加算比較選択装置を提供することを目的とするものである。

【0020】

【課題を解決するための手段】本発明は、1時点毎に、

入力される複数の枝メトリックと、保存されている複数のパスメトリックとの、所定の組合せに基づいて、新たな複数のパスメトリックを生成する加算比較選択装置において、枝メトリック及びパスメトリックの所定の組合せ毎に加算し、新たなパスメトリックの候補を求める加算手段と、所定の組合せ毎に、加算手段の加算より簡易化された演算をし、簡易パスメトリックを求める簡易演算手段と、その求められた簡易パスメトリックを比較する比較手段と、その比較結果に基づき、最も小さいと判定された簡易パスメトリックに対応する加算手段の加算結果のパスメトリックの候補を選択する選択手段と、その選択された新たなパスメトリックを次の時点でのパスメトリックとして用いるために保存する記憶手段とを備えた加算比較選択装置である。

【0021】

【作用】本発明は、加算手段が、枝メトリック及びパスメトリックの所定の組合せ毎に加算し、新たなパスメトリックの候補を求め、簡易演算手段が、所定の組合せ毎に、加算手段の加算より簡易化された演算をし、簡易パスメトリックを求め、比較手段が、求められた簡易パスメトリックを比較し、選択手段が、比較結果に基づき、最も小さいと判定された簡易パスメトリックに対応する加算手段の加算結果のパスメトリックの候補を選択し、記憶手段が、選択された新たなパスメトリックを次の時点でのパスメトリックとして用いるために保存する。

【0022】

【実施例】以下に、本発明をその実施例を示す図面に基づいて説明する。

【0023】尚、各実施例は、説明のため、拘束長3、符号化率1/2、枝メトリック4ビット、パスメトリック6ビットのビタビ復号器における加算比較選択装置を想定している。

（第1の実施例）図1及び図2は、本発明にかかる第1の実施例の加算比較選択装置の構成図である。図1、2において、0～7は、1時点毎に入力される枝メトリック、8～11は、それぞれメモリ60～63の出力であるパスメトリック、12～19は、それぞれ加算手段36～43の出力である新たなパスメトリックの候補、20～27は、それぞれ簡易加算手段44～51の出力である簡易パスメトリック、28～31は、それぞれ比較手段52～55の出力である選択情報、32～35は、それぞれ選択手段56～59の出力である新たなパスメトリックを示している。

【0024】36～43は加算手段であり、加算手段36は、枝メトリック0とパスメトリック8とを加算して新たなパスメトリックの候補12を出力し、加算手段37は、枝メトリック1とパスメトリック10とを加算して新たなパスメトリックの候補13を出力し、加算手段38は、枝メトリック2とパスメトリック8とを加算して新たなパスメトリックの候補14を出力し、加算手段

39は、枝メトリック3とパスメトリック10とを加算して新たなパスメトリックの候補15を出力し、加算手段40は、枝メトリック4とパスメトリック9とを加算して新たなパスメトリックの候補16を出力し、加算手段41は、枝メトリック5とパスメトリック11とを加算して新たなパスメトリックの候補17を出力し、加算手段42は、枝メトリック6とパスメトリック9とを加算して新たなパスメトリックの候補18を出力し、加算手段43は、枝メトリック7とパスメトリック11とを加算して新たなパスメトリックの候補19を出力する。

【0025】44～51は簡易演算手段である簡易加算手段であり、簡易加算手段44は、枝メトリック0とパスメトリック8との簡易化された加算を行い簡易パスメトリック20を出力し、簡易加算手段45は、枝メトリック1とパスメトリック10との簡易化された加算を行い簡易パスメトリック21を出力し、簡易加算手段46は、枝メトリック2とパスメトリック8との簡易化された加算を行い簡易パスメトリック22を出力し、簡易加算手段47は、枝メトリック3とパスメトリック10との簡易化された加算を行い簡易パスメトリック23を出力し、簡易加算手段48は、枝メトリック4とパスメトリック9との簡易化された加算を行い簡易パスメトリック24を出力し、簡易加算手段49は、枝メトリック5とパスメトリック11との簡易化された加算を行い簡易パスメトリック25を出力し、簡易加算手段50は、枝メトリック6とパスメトリック9との簡易化された加算を行い簡易パスメトリック26を出力し、簡易加算手段51は、枝メトリック7とパスメトリック11との簡易化された加算を行い簡易パスメトリック27を出力する。

【0026】52～55は比較手段であり、比較手段52は、簡易パスメトリック20、21を比較してその情報を選択情報28として出力し、比較手段53は、簡易パスメトリック22、23を比較してその情報を選択情報29として出力し、比較手段54は、簡易パスメトリック24、25を比較してその情報を選択情報30として出力し、比較手段55は、簡易パスメトリック26、27を比較してその情報を選択情報31として出力する。

【0027】56～59は選択手段であり、選択手段56は、新たなパスメトリックの候補12、13及び選択情報28を入力とし、選択情報28の情報に基づき、簡易パスメトリック20、21のうち、簡易パスメトリック20が小さければ新たなパスメトリックの候補12を、簡易パスメトリック21が小さければ新たなパスメトリックの候補13を新たなパスメトリック32として出力し、選択手段57は、新たなパスメトリックの候補14、15及び選択情報29を入力とし、選択情報29の情報に基づき、簡易パスメトリック22、23のうち、簡易パスメトリック22が小さければ新たなパスメ

トリックの候補14を、簡易パスメトリック23が小さければ新たなパスメトリックの候補15を新たなパスメトリック33として出力し、選択手段58は、新たなパスメトリックの候補16、17及び選択情報30を入力とし、選択情報30の情報に基づき、簡易パスメトリック24、25のうち、簡易パスメトリック24が小さければ新たなパスメトリックの候補16を、簡易パスメトリック25が小さければ新たなパスメトリックの候補17を新たなパスメトリック34として出力し、選択手段59は、新たなパスメトリックの候補18、19及び選択情報31を入力とし、選択情報31の情報に基づき、簡易パスメトリック26、27のうち、簡易パスメトリック26が小さければ新たなパスメトリックの候補18を、簡易パスメトリック27が小さければ新たなパスメトリックの候補19を新たなパスメトリック35として出力する。

【0028】60～63はメモリであり、メモリ60は、新たなパスメトリック32を保存し、次の時点でパスメトリック8として出力し、メモリ61は、新たなパスメトリック33を保存し、次の時点でパスメトリック9として出力し、メモリ62は、新たなパスメトリック34を保存し、次の時点でパスメトリック10として出力し、メモリ63は、新たなパスメトリック35を保存し、次の時点でパスメトリック11として出力する。

【0029】図3は、上記第1の実施例の加算比較選択装置における簡易加算手段44～51の内部構成を示す図である。図3において、64は、簡易加算手段の入力である枝メトリックの上位2ビットのデータ信号であり、65は、簡易加算手段の入力であるパスメトリックの上位4ビットのデータ信号である。すなわち、簡易加算手段では、選択手段における選択判断に悪影響の無い限り、枝メトリック及びパスメトリックの全ビットのうち上位の一部ビットを用いて加算を行う構成として加算時間を短縮できるようにしている。又、66は、データ信号64とデータ信号65を加算して簡易パスメトリックを出力する加算手段である。

【0030】次に、上記第1の実施例の加算比較選択装置の動作について説明する。

【0031】まず、加算手段36～43は、枝メトリック0～7とパスメトリック8～11とをそれぞれ加算して新たなパスメトリックの候補12～19を求める。

【0032】一方、それと並行して簡易加算手段44～51は、加算手段36～43の加算における組合せと同じ組合せにより枝メトリック0～7とパスメトリック8～11とを、図2で前述したように、上位ビットのみの加算をして簡易パスメトリック20～27を求める。

【0033】次に、比較手段52～55は、簡易パスメトリック20～27を比較して選択情報28～31を出力する。

【0034】その後、選択手段56～59は、選択情報

28～31に基づいて、新たなパスメトリックの候補12～19からそれぞれ一つを選択し、新たなパスメトリック32～35として出力する。簡易加算手段44～51で簡易加算される枝メトリック0～7とパスメトリック8～11の組合せが加算手段36～43で加算される枝メトリック0～7とパスメトリック8～11の組合せと同じであるので、簡易パスメトリック20～27から得られる選択情報28～31を用いて新たなパスメトリック32～35の選択を行なうことが可能である。

【0035】選択手段56～59の各出力である新たなパスメトリック32～35は、それら新たなパスメトリック32～35を次の時点でのパスメトリックとして用いるために、メモリ60～63に保存される。

【0036】このように、上記の第1の実施例の加算比較選択装置では、1時点の内に、加算、比較、選択の処理を順次行なっていた従来の加算比較選択装置に対し、本来のパスメトリックを求める加算処理と、簡易加算処理及び比較処理とを並列に行い、比較処理結果により加算処理結果を選択するものである。簡易加算処理は、前述したように加算するビット数を削減しているため繰上り伝搬にかかる時間が少なくなり信号処理時間を短くすることが出来る。

(第2の実施例) 図4は、本発明にかかる第2の実施例の加算比較選択装置における簡易加算手段の内部構成を示す図である。簡易加算手段以外の構成については、第1の実施例の図1、2と全く同じ構成とし、図示及び説明を省略する。

【0037】図4において、70～73は、それぞれ、枝メトリックの第1ビット(最上位ビット)、枝メトリックの第2ビット、枝メトリックの第3ビット、枝メトリックの第4ビット(最下位ビット)であり、74～79は、それぞれ、パスメトリックの第1ビット(最上位ビット)、パスメトリックの第2ビット、パスメトリックの第3ビット、パスメトリックの第4ビット、パスメトリックの第5ビット、パスメトリックの第6ビット(最下位ビット)である。

【0038】80～83は論理積手段であり、それぞれ、ビット70とビット76の論理積を出力し、ビット71とビット77の論理積を出力し、ビット72とビット78の論理積を出力し、ビット73とビット79の論理積を出力する。又、84～87は論理和手段であり、それぞれ、ビット70とビット76の論理和を出力し、ビット71とビット77の論理和を出力し、ビット72とビット78の論理和を出力し、ビット73とビット79の論理和を出力する。

【0039】ここで、簡易加算手段の出力である簡易パスメトリックは、デジタルデータ信号であり、最上位ビットから順に、[ビット74、ビット75、論理積手段80の出力、論理和手段84の出力、論理積手段81の出力、論理和手段85の出力、論理積手段82の出力、

10

20

30

40

50

力、論理和手段 86 の出力、論理積手段 83 の出力、論理和手段 87 の出力] で構成されている。

【0040】次に、上記第 2 の実施例の加算比較選択装置の動作について説明する。

【0041】まず、加算手段 36～43 は、枝メトリック 0～7 とパスメトリック 8～11 とを加算して新たなパスメトリックの候補 12～19 を求める。

【0042】一方、並行して簡易加算手段 44～51 は、枝メトリック 0～7 とパスメトリック 8～11 との論理積及び論理和という簡単な信号処理を行なって簡易パスメトリック 20～27 を求める。

【0043】次に、比較手段 52～55 は、簡易パスメトリック 20～27 を比較して選択情報 28～31 を出力する。

【0044】その後、選択手段 56～59 は、選択情報 28～31 に基づいて、新たなパスメトリックの候補 12～19 からそれぞれ一つを選択し、新たなパスメトリック 32～35 として出力する。前述したように、第 1 の実施例と同様、簡易パスメトリック 20～27 から得られる選択情報 28～31 を用いて新たなパスメトリック 32～35 の選択を行なうことが可能である。

【0045】メモリ 60～63 は、新たなパスメトリック 32～35 を次の時点でのパスメトリックとして保存する。

【0046】以上のことを一般化すると、枝メトリック $[a_m, a_{m-1}, \dots, a_1, a_0]$ (a_m が最上位ビット) とパスメトリック $[b_m, b_{m-1}, \dots, b_1, b_0]$ (b_m が最上位ビット) とから、デジタルデータ信号 $[c_m, c_{m-1}, \dots, c_1, c_0]$ $= [a_m \cap b_m, a_{m-1} \cap b_{m-1}, \dots, a_1 \cap b_1, a_0 \cap b_0]$ (c_m が最上位ビット) 及び $[d_m, d_{m-1}, \dots, d_1, d_0] = [a_m \cup b_m, a_{m-1} \cup b_{m-1}, \dots, a_1 \cup b_1, a_0 \cup b_0]$ (d_m が最上位ビット) 又は、それぞれの上位の数ビットを求め、 $[c_m, d_m, c_{m-1}, d_{m-1}, \dots, c_1, d_1, c_0, d_0]$ (c_m が最上位ビット) 又は、その上位の数ビットを簡易パスメトリックとする (m は正の整数; $a_0 \sim a_m, b_0 \sim b_m, c_0 \sim c_m, d_0 \sim d_m$ は 1 又は 0; \cap は論理積; \cup は論理和)。ここで、各メトリックのビット数を同じに表現しているが、実際は枝メトリックのビット数はパスメトリックのビット数より少ない。そこで枝メトリックでの不足のビット数は、0 であるとしてビット数を同数として一般化している。

【0047】このように、上記の第 2 の実施例の加算比較選択装置では、パスメトリックを求める加算処理と、簡易加算処理及び比較処理とを並列に行うとともに、簡易加算処理を論理積及び論理和という簡単な信号処理により行なうため、繰上がり伝搬がなくなり、信号処理時間を短くすることが出来る。

(第 3 の実施例) 図 5 は、本発明にかかる第 3 の実施例の加算比較選択装置における簡易加算手段の内部構成を示す図である。図 4 の簡易加算手段と同一部分のものには同一番号を付して詳細な説明を省略する。又、簡易加

算手段以外の構成については、図 1、2 と全く同じ構成とし、図示及び説明を省略する。

【0048】図 5 において、88～91 は排他的論理和手段であり、それぞれ、ビット 70 とビット 76 との排他的論理和を出力し、ビット 71 とビット 77 との排他的論理和を出力し、ビット 72 とビット 78 との排他的論理和を出力し、ビット 73 とビット 79 との排他的論理和を出力する。

【0049】ここで、簡易加算手段の出力である簡易パスメトリックは、デジタルデータ信号であり、最上位ビットから順に、[ビット 74、ビット 75、論理積手段 80 の出力、排他的論理和手段 88 の出力、論理積手段 81 の出力、排他的論理和手段 89 の出力、論理積手段 82 の出力、排他的論理和手段 90 の出力、論理積手段 83 の出力、排他的論理和手段 91 の出力] で構成されている。

【0050】次に、上記第 3 の実施例の加算比較選択装置の動作について説明する。

【0051】まず、加算手段 36～43 は、枝メトリック 0～7 とパスメトリック 8～11 とを加算して新たなパスメトリックの候補 12～19 を求める。

【0052】一方、並行して簡易加算手段 44～51 は、枝メトリック 0～7 とパスメトリック 8～11 との論理積及び排他的論理和という簡単な信号処理を行なって簡易パスメトリック 20～27 を求める。

【0053】次に、比較手段 52～55 は、簡易パスメトリック 20～27 を比較して選択情報 28～31 を出力する。

【0054】その後、選択手段 56～59 は、選択情報 28～31 に基づいて、新たなパスメトリックの候補 12～19 からそれぞれ一つを選択し、新たなパスメトリック 32～35 として出力する。前述の第 2 の実施例と同様、簡易パスメトリック 20～27 から得られる選択情報 28～31 を用いて新たなパスメトリック 32～35 の選択を行なうことが可能である。

【0055】メモリ 60～63 は、新たなパスメトリック 32～35 を次の時点でのパスメトリックとして保存する。

【0056】以上のことを一般化すると、枝メトリック $[a_m, a_{m-1}, \dots, a_1, a_0]$ (a_m が最上位ビット) とパスメトリック $[b_m, b_{m-1}, \dots, b_1, b_0]$ (b_m が最上位ビット) とから、デジタルデータ信号 $[c_m, c_{m-1}, \dots, c_1, c_0]$ $= [a_m \cap b_m, a_{m-1} \cap b_{m-1}, \dots, a_1 \cap b_1, a_0 \cap b_0]$ (c_m が最上位ビット) 及び $[d_m, d_{m-1}, \dots, d_1, d_0] = [a_m + b_m, a_{m-1} + b_{m-1}, \dots, a_1 + b_1, a_0 + b_0]$ (d_m が最上位ビット) 又は、それぞれの上位の数ビットを求め、 $[c_m, d_m, c_{m-1}, d_{m-1}, \dots, c_1, d_1, c_0, d_0]$ (c_m が最上位ビット) 又はその上位の数ビットを簡易パスメトリックとする (m は正の整数; $a_0 \sim a_m, b_0 \sim b_m, c_0 \sim c_m, d_0 \sim d_m$ は 1 又は 0; \cap は論理積; $+$ は排他的論理和)。ここで、各メ

トリックのビット数を同じとしているのは、前述の第2の実施例と同様の理由である。

【0057】このように、上記の第3の実施例の加算比較選択装置では、パスメトリックを求める加算処理と、簡易加算処理及び比較処理とを並列に行うとともに、簡易加算処理を論理積及び排他的論理和という簡単な信号処理により行うため、繰上がり伝搬がなくなり、信号処理時間を短くすることが出来る。

(第4の実施例) 図6は、本発明にかかる第4の実施例の加算比較選択装置における簡易加算手段の内部構成を示す図である。図4の簡易加算手段と同一部分のものには同一番号を付して詳細な説明を省略する。又、簡易加算手段以外の構成については、図1、2と全く同じ構成とし、図示及び説明を省略する。

【0058】図6において、92～95は論理和手段であり、それぞれ、ビット75と論理積手段80の出力との論理和を出力し、論理和手段84の出力と論理積手段81の出力との論理和を出力し、論理和手段85の出力と論理積手段82の出力との論理和を出力し、論理和手段86の出力と論理積手段83の出力との論理和を出力する。

【0059】ここで、簡易加算手段の出力である簡易パスメトリックは、デジタルデータ信号であり、最上位ビットから順に、[ビット74、論理和手段92の出力、論理和手段93の出力、論理和手段94の出力、論理和手段95の出力、論理和手段87の出力]で構成されている。

【0060】次に、上記第4の実施例の加算比較選択装置の動作について説明する。

【0061】まず、加算手段36～43は、枝メトリック0～7とパスメトリック8～11とを加算して新たなパスメトリックの候補12～19を求める。

【0062】一方、簡易加算手段44～51は、枝メトリック0～7とパスメトリック8～11との論理積及び論理和という簡単な信号処理を行なって簡易パスメトリック20～27を求める。

【0063】次に、比較手段52～55は、簡易パスメトリック20～27を比較して選択情報28～31を出力する。

【0064】その後、選択手段56～59は、選択情報28～31に基づいて、新たなパスメトリックの候補12～19からそれぞれ一つを選択し、新たなパスメトリック32～35として出力する。前述の第3の実施例と同様、簡易パスメトリック20～27から得られる選択情報28～31を用いて新たなパスメトリック32～35の選択を行なうことが可能である。

【0065】メモリ60～63は、新たなパスメトリック32～35を次の時点でのパスメトリックとして保存する。

【0066】以上のことを一般化すると、枝メトリック

$[a_m, a_{m-1}, \dots, a_1, a_0]$ (a_m が最上位ビット) とパスメトリック $[b_m, b_{m-1}, \dots, b_1, b_0]$ (b_m が最上位ビット) とから、デジタルデータ信号 $[c_m, c_{m-1}, \dots, c_1, c_0]$ $= [a_m \cap b_m, a_{m-1} \cap b_{m-1}, \dots, a_1 \cap b_1, a_0 \cap b_0]$ (c_m が最上位ビット) 及び $[d_m, d_{m-1}, \dots, d_1, d_0] = [a_m \cup b_m, a_{m-1} \cup b_{m-1}, \dots, a_1 \cup b_1, a_0 \cup b_0]$ (d_m が最上位ビット) 又は、それぞれの上位の数ビットを求め、 $[c_m, d_m \cup c_{m-1}, d_{m-1} \cup c_{m-2}, \dots, d_2 \cup c_1, d_1 \cup c_0, d_0]$ (c_m が最上位ビット) 又はその上位の数ビットを簡易パスメトリックとする (m は正の整数; $a_0 \sim a_m, b_0 \sim b_m, c_0 \sim c_m, d_0 \sim d_m$ は1又は0; \cap は論理積; \cup は論理和)。ここで、枝メトリックのビット数及びパスメトリックのビット数を同じとしているのは、前述の第2の実施例と同様の理由である。

【0067】このように、上記第4の実施例の加算比較選択装置では、パスメトリックを求める加算処理と、簡易加算処理及び比較処理とを並列に行うとともに、簡易加算処理を論理積及び論理和という簡単な信号処理により行うため、繰上がり伝搬にかかる時間が少なくなり、信号処理時間を短くすることが出来る。

(第5の実施例) 図7は、本発明にかかる第5の実施例の加算比較選択装置における簡易加算手段の内部構成を示す図である。図5の簡易加算手段と同一部分のものには同一番号を付して詳細な説明を省略する。又、簡易加算手段以外の構成については、図1、2と全く同じ構成とし、図示及び説明を省略する。

【0068】図7において、96～99は論理和手段であり、それぞれ、ビット75と論理積手段80の出力との論理和を出力し、排他的論理和手段88の出力と論理積手段81の出力との論理和を出力し、排他的論理和手段89の出力と論理積手段82の出力との論理和を出力し、排他的論理和手段90の出力と論理積手段83の出力との論理和を出力する。

【0069】ここで、簡易加算手段の出力である簡易パスメトリックは、デジタルデータ信号であり、最上位ビットから順に、[ビット74、論理和手段96の出力、論理和手段97の出力、論理和手段98の出力、論理和手段99の出力、排他的論理和手段91の出力]で構成されている。

【0070】次に、上記第5の実施例の加算比較選択装置の動作について説明する。

【0071】まず、加算手段36～43は、枝メトリック0～7とパスメトリック8～11とを加算して新たなパスメトリックの候補12～19を求める。

【0072】一方、簡易加算手段44～51は、枝メトリック0～7とパスメトリック8～11との論理積、排他的論理和及び論理和という簡単な信号処理を行なって簡易パスメトリック20～27を求める。

【0073】次に、比較手段52～55は、簡易パスメトリック20～27を比較して選択情報28～31を出力する。

【0074】その後、選択手段56～59は、選択情報28～31に基づいて、新たなパスメトリックの候補12～19からそれぞれ一つを選択し、新たなパスメトリック32～35として出力する。前述の第3の実施例と同様、簡易パスメトリック20～27から得られる選択情報28～31を用いて新たなパスメトリック32～35の選択を行なうことが可能である。

【0075】メモリ60～63は、新たなパスメトリック32～35を次の時点でのパスメトリックとして保存する。

【0076】以上のことを一般化すると、枝メトリック

力する。

【0074】その後、選択手段56～59は、選択情報28～31に基づいて、新たなパスメトリックの候補12～19からそれぞれ一つを選択し、新たなパスメトリック32～35として出力する。前述の第4の実施例と同様、簡易パスメトリック20～27から得られる選択情報28～31を用いて新たなパスメトリック32～35の選択を行なうことが可能である。

【0075】メモリ60～63は、新たなパスメトリック32～35を次の時点でのパスメトリックとして保存する。

【0076】以上のことを一般化すると、枝メトリック $[a_n, a_{n-1}, \dots, a_1, a_0]$ (a_n が最上位ビット) とパスメトリック $[b_n, b_{n-1}, \dots, b_1, b_0]$ (b_n が最上位ビット) とから、デジタルデータ信号 $[c_n, c_{n-1}, \dots, c_1, c_0]$ $= [a_n \cap b_n, a_{n-1} \cap b_{n-1}, \dots, a_1 \cap b_1, a_0 \cap b_0]$ (c_n が最上位ビット) 及び $[d_n, d_{n-1}, \dots, d_1, d_0] = [a_n + b_n, a_{n-1} + b_{n-1}, \dots, a_1 + b_1, a_0 + b_0]$ (d_n が最上位ビット) 又は、それぞれの上位の数ビットを求め、 $[c_n, d_n \cup c_{n-1}, d_{n-1} \cup c_{n-2}, \dots, d_2 \cup c_1, d_1 \cup c_0, d_0]$ (c_n が最上位ビット) 又はその上位の数ビットを簡易パスメトリックとする (m は正の整数; $a_0 \sim a_n, b_0 \sim b_n, c_0 \sim c_n, d_0 \sim d_n$ は1又は0; \cap は論理積; \cup は論理和; $+$ は排他的論理和)。ここで、枝メトリックのビット数及びパスメトリックのビット数を同じとしているのは、前述の第2の実施例と同様の理由である。

【0077】このように、上記の第5の実施例の加算比較選択装置では、パスメトリックを求める加算処理と、簡易加算処理及び比較処理とを並列に行うとともに、簡易加算処理を論理積、排他的論理和、及び論理和という簡単な信号処理により行うため、繰上がり伝搬にかかる時間が少なくなり、信号処理時間を短くすることが出来る。

(第6の実施例) 図8は、本発明にかかる第6の実施例の加算比較選択装置における簡易加算手段の内部構成を示す図である。図4におけるデータ信号の同一部分には同一番号を付して詳細な説明を省略する。又、簡易加算手段以外の構成については、図1、2と全く同じ構成とし、図示及び説明を省略する。

【0078】図8において、67は、パスメトリックの上位3ビットのデジタル信号[ビット74、ビット75、ビット76]と枝メトリックの上位1ビットのデジタル信号[ビット70]を加算して4ビットのデジタル信号として出力する加算手段、68は、パスメトリックの下位3ビットのデジタル信号[ビット77、ビット78、ビット79]と枝メトリックの下位3ビットのデジタル信号[ビット71、ビット72、ビット73]を加算して4ビットのデジタル信号として出力する加算手段である。

【0079】ここで、簡易加算手段の出力である簡易パ

スメトリックは、デジタルデータ信号であり、最上位ビットから順に、[加算手段67の出力の第1ビット、同第2ビット、同第3ビット、同第4ビット、加算手段68の出力の第1ビット、同第2ビット、同第3ビット、同第4ビット]で構成されている。

【0080】次に、上記第6の実施例の加算比較選択装置の動作について説明する。

【0081】まず、加算手段36～43は、枝メトリック0～7とパスメトリック8～11とを加算して新たなパスメトリックの候補12～19を求める。

【0082】一方、簡易加算手段44～51は、枝メトリック0～7とパスメトリック8～11とを上位ビットと下位ビットの2つのグループに分け、それぞれのグループで加算を行なって簡易パスメトリック20～27を求める。

【0083】次に、比較手段52～55は、簡易パスメトリック20～27を比較して選択情報28～31を出力する。

【0084】その後、選択手段56～59は、選択情報28～31に基づいて、新たなパスメトリックの候補12～19からそれぞれ一つを選択し、新たなパスメトリック32～35として出力する。前述の第5の実施例と同様、簡易パスメトリック20～27から得られる選択情報28～31を用いて新たなパスメトリック32～35の選択を行なうことが可能である。

【0085】メモリ60～63は、新たなパスメトリック32～35を次の時点でのパスメトリックとして保存する。

【0086】以上のことを一般化すると、枝メトリック $[a_n, a_{n-1}, \dots, a_1, a_{k-1}, \dots, a_1, a_0]$ (a_n が最上位ビット) とパスメトリック $[b_n, b_{n-1}, \dots, b_1, b_{k-1}, \dots, b_1, b_0]$ (b_n が最上位ビット) とをそれぞれ上位 $m-k+1$ ビットと下位 k ビットに分けて、上位ビットのみの加算と下位ビットの全部又は上位の数ビットのみの加算を行なって、上位ビットの加算結果であるデジタルデータ信号 $[e_{n+1}, e_n, e_{n-1}, \dots, e_{k+1}, e_k]$ (e_{n+1} が最上位ビット) と、下位ビットの全部又は上位の数ビットの加算結果であるデジタルデータ信号 $[f_k, f_{k-1}, \dots, f_{j+1}, f_j]$ (f_{n+1} が最上位ビット) とを求め、 $[e_{n+1}, e_n, e_{n-1}, \dots, e_{k+1}, e_k, f_k, f_{k-1}, \dots, f_{j+1}, f_j]$ (e_{n+1} が最上位ビット) 又はその上位の数ビットを簡易パスメトリックとする (m, k は正の整数; j は0以上の整数; $m > k > j$; $a_0 \sim a_n, b_0 \sim b_n, e_0 \sim e_n, f_0 \sim f_n$ は1又は0)。ここで、枝メトリックのビット数及びパスメトリックのビット数を同じとしているのは、前述の第2の実施例と同様の理由である。

【0087】このように、上記第6の実施例の加算比較選択装置では、パスメトリックを求める加算処理と、簡易加算処理及び比較処理とを並列に行うとともに、簡易加算処理を上位ビットと下位ビットの2つのグループに

分けて行うので、繰上がり伝搬にかかる時間が少なくなり、信号処理時間を短くすることが出来る。

(第7の実施例) 図9は、本発明にかかる第7の実施例の加算比較選択装置における簡易加算手段の内部構成を示す図である。図4及び図8に示した簡易加算手段と同一部分のものには同一番号を付して詳細な説明を省略する。又、簡易加算手段以外の構成については、図1、2と全く同じ構成とし、図示及び説明を省略する。

【0088】ここで、簡易加算手段の出力である簡易パスメトリックは、デジタルデータ信号であり、最上位ビットから順に、[加算手段67の出力の第1ビット、同第2ビット、同第3ビット、同第4ビット、論理積手段81の出力、論理和手段85の出力、論理積手段82の出力、論理和手段86の出力、論理積手段83の出力、論理和手段87の出力]で構成されている。

【0089】次に、上記第7の実施例の加算比較選択装置の動作について説明する。

【0090】まず、加算手段36～43は、枝メトリック0～7とパスメトリック8～11とを加算して新たなパスメトリックの候補12～19を求める。

【0091】一方、簡易加算手段44～51は、枝メトリック0～7とパスメトリック8～11とを上位ビットと下位ビットの2つのグループに分け、上位ビットに関しては通常の加算を行ない、下位ビットに関しては論理積及び論理和という簡単な信号処理を行なって簡易パスメトリック20～27を求める。

【0092】次に、比較手段52～55は、簡易パスメトリック20～27を比較して選択情報28～31を出力する。

【0093】その後、選択手段56～59は、選択情報28～31に基づいて、新たなパスメトリックの候補12～19からそれぞれ一つを選択し、新たなパスメトリック32～35として出力する。前述の第6の実施例と同様、簡易パスメトリック20～27から得られる選択情報28～31を用いて新たなパスメトリック32～35の選択を行なうことが可能である。

【0094】メモリ60～63は、新たなパスメトリック32～35を次の時点でのパスメトリックとして保存する。

【0095】以上のことを一般化すると、枝メトリック $[a_n, a_{n-1}, \dots, a_k, a_{k-1}, \dots, a_1, a_0]$ (a_n が最上位ビット) とパスメトリック $[b_n, b_{n-1}, \dots, b_k, b_{k-1}, \dots, b_1, b_0]$ (b_n が最上位ビット) とをそれぞれ上位 $m-k+1$ ビットと下位 k ビットに分けて、上位ビットのみの加算を行なってデジタルデータ信号 $[e_{n+1}, e_n, e_{n-1}, \dots, e_{k+1}, e_k]$ (e_{n+1} が最上位ビット) を求め、一方、下位ビットの全部又は上位の数ビットからデジタルデータ信号 $[c_k, c_{k-1}, \dots, c_1, c_0] = [a_k \cap b_k, a_{k-1} \cap b_{k-1}, \dots, a_1 \cap b_1, a_0 \cap b_0]$ (c_n が最上位ビット) 及び $[d_k, d_{k-1}, \dots, d_1, d_0] = [a_k \cup b_k, a_{k-1} \cup b_{k-1}, \dots, a_1 \cup b_1, a_0 \cup b_0]$

(d_k が最上位ビット) 又はそれぞれの上位の数ビットを求め、 $[e_{n+1}, e_n, e_{n-1}, \dots, e_{k+1}, e_k, c_k, d_k, c_{k-1}, d_{k-1}, \dots, c_1, d_1, c_0, d_0]$ (e_{n+1} が最上位ビット) 又はその上位の数ビットを簡易パスメトリックとする (m, k は正の整数; j は0以上の整数; $m > k > j$; $a_0 \sim a_n, b_0 \sim b_n, c_0 \sim c_n, d_0 \sim d_n, e_0 \sim e_n$ は1又は0; \cap は論理積; \cup は論理和)。ここで、枝メトリックのビット数及びパスメトリックのビット数を同じとしているのは、前述の第2の実施例と同様の理由である。

【0096】このように、上記第7の実施例の加算比較選択装置では、パスメトリックを求める加算処理と、簡易加算処理及び比較処理とを並列に行うとともに、上位ビットと下位ビットの2つのグループに分けて簡易加算処理を行い、上位ビットに関しては通常の加算を行ない、下位ビットに関しては論理積及び論理和という簡単な信号処理を行うので、繰上がり伝搬にかかる時間が少なくなり、信号処理時間を短くすることが出来る。

(第8の実施例) 図10は、本発明にかかる第8の実施例の加算比較選択装置における簡易加算手段の内部構成を示す図である。図5及び図8に示した簡易加算手段と同一部分のものには同一番号を付して詳細な説明を省略する。又、簡易加算手段以外の構成については、図1、2と全く同じ構成とし、図示及び説明を省略する。

【0097】ここで、簡易加算手段の出力である簡易パスメトリックは、デジタルデータ信号であり、最上位ビットから順に、[加算手段67の出力の第1ビット、同第2ビット、同第3ビット、同第4ビット、論理積手段81の出力、排他的論理和手段89の出力、論理積手段82の出力、排他的論理和手段90の出力、論理積手段83の出力、排他的論理和手段91の出力]で構成されている。

【0098】次に、上記第8の実施例の加算比較選択装置の動作について説明する。

【0099】まず、加算手段36～43は、枝メトリック0～7とパスメトリック8～11とを加算して新たなパスメトリックの候補12～19を求める。

【0100】一方、簡易加算手段44～51は、枝メトリック0～7とパスメトリック8～11とを上位ビットと下位ビットの2つのグループに分け、上位ビットに関しては通常の加算を行ない、下位ビットに関しては論理積及び排他的論理和という簡単な信号処理を行なって簡易パスメトリック20～27を求める。

【0101】次に、比較手段52～55は、簡易パスメトリック20～27を比較して選択情報28～31を出力する。

【0102】その後、選択手段56～59は、選択情報28～31に基づいて、新たなパスメトリックの候補12～19からそれぞれ一つを選択し、新たなパスメトリック32～35として出力する。前述の第7の実施例と同様、簡易パスメトリック20～27から得られる選択

情報 28～31 を用いて新たなパスメトリック 32～35 の選択を行なうことが可能である。

【0103】メモリ 60～63 は、新たなパスメトリック 32～35 を次の時点でのパスメトリックとして保存する。

【0104】以上のことを一般化すると、枝メトリック $[a_m, a_{m-1}, \dots, a_k, a_{k-1}, \dots, a_1, a_0]$ (a_m が最上位ビット) とパスメトリック $[b_m, b_{m-1}, \dots, b_k, b_{k-1}, \dots, b_1, b_0]$ (b_m が最上位ビット) とをそれぞれ上位 $m-k+1$ ビットと下位 k ビットに分けて、上位ビットのみの加算を行なってデジタルデータ信号 $[e_{m+1}, e_m, e_{m-1}, \dots, e_{k+1}, e_k]$ (e_{m+1} が最上位ビット) を求め、一方、下位ビットの全部又は上位の数ビットからデジタルデータ信号 $[c_k, c_{k-1}, \dots, c_1, c_0] = [a_k \cap b_k, a_{k-1} \cap b_{k-1}, \dots, a_1 \cap b_1, a_0 \cap b_0]$ (c_m が最上位ビット) 及び $[d_k, d_{k-1}, \dots, d_1, d_0] = [a_k + b_k, a_{k-1} + b_{k-1}, \dots, a_1 + b_1, a_0 + b_0]$ (d_m が最上位ビット) 又はそれぞれの上位の数ビットを求め、 $[e_{m+1}, e_m, e_{m-1}, \dots, e_{k+1}, e_k, c_k, d_k, c_{k-1}, d_{k-1}, \dots, c_1, d_1, c_0, d_0]$ (e_{m+1} が最上位ビット) 又はその上位の数ビットを簡易パスメトリックとする (m, k は正の整数; j は 0 以上の整数; $m > k > j$; $a_0 \sim a_m, b_0 \sim b_m, c_0 \sim c_m, d_0 \sim d_m, e_0 \sim e_m$ は 1 又は 0; \cap は論理積; $+$ は排他的論理和)。ここで、枝メトリックのビット数及びパスメトリックのビット数を同じとしているのは、前述の第 2 の実施例と同様の理由である。

【0105】このように、上記第 8 の実施例の加算比較選択装置では、パスメトリックを求める加算処理と、簡易加算処理及び比較処理とを並列に行うとともに、上位ビットと下位ビットの 2 つのグループに分けて簡易加算処理を行い、上位ビットに関しては通常の加算を行ない、下位ビットに関しては論理積及び排他的論理和という簡単な信号処理を行うので、繰上り伝搬にかかる時間が少なくなり、信号処理時間を短くすることが出来る。

(第 9 の実施例) 図 11 は、本発明にかかる第 9 の実施例の加算比較選択装置における簡易加算手段の内部構成を示す図である。図 6 及び図 8 に示した簡易加算手段と同一部分のものには同一番号を付して詳細な説明を省略する。又、簡易加算手段以外の構成については、図 1、2 と全く同じ構成とし、図示及び説明を省略する。

【0106】図 11 において、200 は、加算手段 67 の出力の第 4 ビットと論理積手段 81 の出力の論理和を出力する論理和手段である。

【0107】ここで、簡易加算手段の出力である簡易パスメトリックは、デジタルデータ信号であり、最上位ビットから順に、[加算手段 67 の出力の第 1 ビット、同第 2 ビット、同第 3 ビット、論理和手段 200 の出力、論理和手段 94 の出力、論理和手段 95 の出力、論理和手段 87 の出力] で構成されている。

【0108】次に、上記第 9 の実施例の加算比較選択装

置の動作について説明する。

【0109】まず、加算手段 36～43 は、枝メトリック 0～7 とパスメトリック 8～11 とを加算して新たなパスメトリックの候補 12～19 を求める。

【0110】一方、簡易加算手段 44～51 は、枝メトリック 0～7 とパスメトリック 8～11 とを、上位ビットと下位ビットの 2 つのグループに分けて、上位ビットに関しては通常の加算を行ない、下位ビットに関しては論理積及び論理和という簡単な信号処理を行なって簡易パスメトリック 20～27 を求める。

【0111】次に、比較手段 52～55 は、簡易パスメトリック 20～27 を比較して選択情報を出力する。

【0112】その後、選択手段 56～59 は、選択情報 28～31 に基づいて、新たなパスメトリックの候補 12～19 からそれぞれ一つを選択し、新たなパスメトリック 32～35 として出力する。前述の第 8 の実施例と同様、簡易パスメトリック 20～27 から得られる選択情報 28～31 を用いて新たなパスメトリック 32～35 の選択を行なうことが可能である。

【0113】メモリ 60～63 は、新たなパスメトリック 32～35 を次の時点でのパスメトリックとして保存する。

【0114】以上のことを一般化すると、枝メトリック $[a_m, a_{m-1}, \dots, a_k, a_{k-1}, \dots, a_1, a_0]$ (a_m が最上位ビット) とパスメトリック $[b_m, b_{m-1}, \dots, b_k, b_{k-1}, \dots, b_1, b_0]$ (b_m が最上位ビット) とをそれぞれ上位 $m-k+1$ ビットと下位 k ビットに分けて、上位ビットのみの加算を行なってデジタルデータ信号 $[e_{m+1}, e_m, e_{m-1}, \dots, e_{k+1}, e_k]$ (e_{m+1} が最上位ビット) を求め、一方、下位ビットの全部又は上位の数ビットからデジタルデータ信号 $[c_k, c_{k-1}, \dots, c_1, c_0] = [a_k \cap b_k, a_{k-1} \cap b_{k-1}, \dots, a_1 \cap b_1, a_0 \cap b_0]$ (c_m が最上位ビット) 及び $[d_k, d_{k-1}, \dots, d_1, d_0] = [a_k \cup b_k, a_{k-1} \cup b_{k-1}, \dots, a_1 \cup b_1, a_0 \cup b_0]$ (d_m が最上位ビット) 又はそれぞれの上位の数ビットを求め、 $[e_{m+1}, e_m, e_{m-1}, \dots, e_{k+1}, e_k \cup c_k, d_k \cup c_{k-1}, d_{k-1} \cup c_{k-2}, \dots, d_2 \cup c_1, d_1 \cup c_0, d_0]$ (e_{m+1} が最上位ビット) 又はその上位の数ビットを簡易パスメトリックとする (m, k は正の整数; j は 0 以上の整数; $m > k > j$; $a_0 \sim a_m, b_0 \sim b_m, c_0 \sim c_m, d_0 \sim d_m, e_0 \sim e_m$ は 1 又は 0; \cap は論理積; \cup は論理和)。ここで、枝メトリックのビット数及びパスメトリックのビット数を同じとしているのは、前述の第 2 の実施例と同様の理由である。

【0115】このように、上記第 9 の実施例の加算比較選択装置では、パスメトリックを求める加算処理と、簡易加算処理及び比較処理とを並列に行うとともに、上位ビットと下位ビットの 2 つのグループに分けて簡易加算処理を行い、上位ビットに関しては通常の加算を行ない、下位ビットに関しては論理積及び論理和という簡単な信号処理を行うので、繰上り伝搬にかかる時間が少なくなり、信号処理時間を短くすることが出来る。

(第10の実施例) 図12は、本発明にかかる第10の実施例の加算比較選択装置における簡易加算手段の内部構成を示す図である。図7及び図11に示した簡易加算手段と同一部分のものには同一番号を付して詳細な説明を省略する。又、簡易加算手段以外の構成については、図1、2と全く同じ構成とし、図示及び説明を省略する。

【0116】ここで、簡易加算手段の出力である簡易パスメトリックは、デジタルデータ信号であり、最上位ビットから順に、[加算手段67の出力の第1ビット、同第2ビット、同第3ビット、論理和手段200の出力、論理和手段94の出力、論理和手段95の出力、排他的論理和手段91の出力]で構成されている。

【0117】次に、上記第10の実施例の加算比較選択装置の動作について説明する。

【0118】まず、加算手段36～43は、枝メトリック0～7とパスメトリック8～11とを加算して新たなパスメトリックの候補12～19を求める。

【0119】一方、簡易加算手段44～51は、枝メトリック0～7とパスメトリック8～11とを上位ビットと下位ビットの2つのグループに分け、上位ビットに関しては通常の加算を行ない、下位ビットに関しては論理積、論理和、及び排他的論理和という簡単な信号処理を行なって簡易パスメトリック20～27を求める。

【0120】次に、比較手段52～55は、簡易パスメトリック20～27を比較して選択情報28～31を出力する。

【0121】その後、選択手段56～59は、選択情報28～31に従って、新たなパスメトリックの候補12～19からそれぞれ一つを選択し、新たなパスメトリック32～35として出力する。前述の第9の実施例と同様、簡易パスメトリック20～27から得られる選択情報28～31を用いて新たなパスメトリック32～35の選択を行なうことが可能である。

【0122】メモリ60～63は、新たなパスメトリック32～35を次の時点でのパスメトリックとして保存する。

【0123】以上のことを一般化すると、枝メトリック $[a_m, a_{m-1}, \dots, a_k, a_{k-1}, \dots, a_1, a_0]$ (a_m が最上位ビット) とパスメトリック $[b_m, b_{m-1}, \dots, b_k, b_{k-1}, \dots, b_1, b_0]$ (b_m が最上位ビット) とをそれぞれ上位 $m-k+1$ ビットと下位 k ビットに分けて、上位ビットのみの加算を行なってデジタルデータ信号 $[e_{m+1}, e_m, e_{m-1}, \dots, e_{k+1}, e_k]$ (e_{m+1} が最上位ビット) を求め、一方、下位ビットの全部又は上位の数ビットからデジタルデータ信号

$[c_k, c_{k-1}, \dots, c_1, c_0] = [a_k \cap b_k, a_{k-1} \cap b_{k-1}, \dots, a_1 \cap b_1, a_0 \cap b_0]$ (c_k が最上位ビット) 及び $[d_k, d_{k-1}, \dots, d_1, d_0] = [a_k + b_k, a_{k-1} + b_{k-1}, \dots, a_1 + b_1, a_0 + b_0]$

(d_k が最上位ビット) 又はそれぞれの上位の数ビットを求め、 $[e_{m+1}, e_m, e_{m-1}, \dots, e_{k+1}, e_k \cup c_k, d_k \cup c_{k-1}, d_{k-1}$

$\cup c_{k-2}, \dots, d_2 \cup c_1, d_1 \cup c_0, d_0]$ (e_{m+1} が最上位ビット) 又はその上位の数ビットを簡易パスメトリックとする (m, k は正の整数; j は0以上の整数; $m > k > j$; $a_0 \sim a_m, b_0 \sim b_m, c_0 \sim c_m, d_0 \sim d_m, e_0 \sim e_m$ は1又は0; \cap は論理積; \cup は論理和; $+$ は排他的論理和)。ここで、枝メトリックのビット数及びパスメトリックのビット数を同じとしているのは、前述の第2の実施例と同様の理由である。

【0124】このように、上記第10の実施例の加算比較選択装置では、パスメトリックを求める加算処理と、簡易加算処理及び比較処理とを並列に行うとともに、上位ビットと下位ビットの2つのグループに分けて簡易加算処理を行い、上位ビットに関しては通常の加算を行ない、下位ビットに関しては論理積、論理和、及び排他的論理和という簡単な信号処理を行うので、繰上り伝搬にかかる時間が少なくなり、信号処理時間を短くすることが出来る。

【0125】なお、上記実施例では、簡易加算手段の例として図3、図4、図5、図6、図7、図8、図9、図10、図11、及び図12に示したが、これらの構成は一例であって、例えば、加算手段の動作を簡略化したものでもよい。要するに本来のパスメトリックを求める時間より短い信号処理時間となる構成であればよい。

【0126】また、上記第2～第10の実施例では、簡易加算手段において、枝メトリック及びパスメトリックの全てのビットを使用して簡易加算する構成としたが、これに代えて、それぞれの上位の所定の数ビットのみを使用して簡易加算する構成としてもよい。あるいは又、簡易加算結果の簡易パスメトリックの上位の所定の数ビットのみを比較に使用しても良い。このときのビット数は、パスメトリックの誤選択の頻度が実用上問題とならない。

【0127】また、上記実施例では、すべて拘束長3、符号化率1/2のビタビ復号器の加算比較選択装置として説明したが、拘束長、符号化率はこれに限定されるものではない。あるいは又、ビタビ復号器の加算比較選択装置に限定されるものではない。要するに、1時点毎に入力される複数個の枝メトリックと、保存されている複数個のパスメトリックとをいくつかの組合せで加算、比較、選択の処理を行なって新たなパスメトリックを作成し、これを次の時点のパスメトリックとして保存する構成を持つものであれば適用可能である。

【0128】また、上記実施例では、いずれも加算手段と簡易加算手段とを独立した構成としたが、これに代えて、簡易加算手段に加算手段の前処理部分を用いてもよい。これは、通常、加算手段の内部に前処理部分としてビット毎の論理積及び論理和をとる手段を持つことが多いためである。そこで、この前処理部分をそれぞれ簡易加算手段の一部あるいは全体と共用させることにより、簡単なハードウェア構成で実現することが出来る。

【0129】また、上記実施例では、加算手段により新たなパスメトリックの候補を求めているが、これに代えて、簡易パスメトリックに処理を施すことによって、加算手段により求められる新たなパスメトリックの候補と全く同一のものを求めることが可能である。例えば、第6の実施例に示したように、枝メトリックとパスメトリックとを上位ビットと下位ビットの2つのグループに分け、それぞれのグループで加算を行なって簡易パスメトリックを求めるような構成の場合、下位ビットの加算結果の繰上りを上位ビットの加算結果に加えることによって、加算手段により求められる新たなパスメトリックの候補と全く同一のものを求めることが出来る。このようにして新たなパスメトリックの候補を求める構成であっても、本発明の加算比較選択装置に含まれることは言うまでもない。

【0130】また、上記第1の実施例及び第6の実施例では、各信号をデジタル信号としたが、これに限らず、アナログ信号に適用することも可能である。

【0131】また、上記実施例では、いずれも簡易加算手段を専用のハードウェアにより構成したが、これに代えて、同様の機能をコンピュータを用いてソフトウェア的に実現してもよい。

【0132】

【発明の効果】以上述べたところから明らかなように本発明は、簡易化された演算をし、簡易パスメトリックを求める簡易演算手段と、その求められた簡易パスメトリックを比較する比較手段と、その比較結果に基づき、最も小さいと判定された簡易パスメトリックに対応する加算手段の加算結果のパスメトリックの候補を選択する選択手段とを備えているので、信号処理時間を短くでき、データ伝送速度を高速化することができるという長所を有する。

【図面の簡単な説明】

【図1】本発明にかかる第1の実施例の加算比較選択装置（一部）の構成図である。

【図2】本発明にかかる第1の実施例の加算比較選択装置（残りの一部）の構成図である。

【図3】同第1の実施例の加算比較選択装置における簡易加算手段の構成を示す図である。

【図4】本発明にかかる第2の実施例の加算比較選択装置における簡易加算手段の構成を示す図である。

* 【図5】本発明にかかる第3の実施例の加算比較選択装置における簡易加算手段の構成を示す図である。

【図6】本発明にかかる第4の実施例の加算比較選択装置における簡易加算手段の構成を示す図である。

【図7】本発明にかかる第5の実施例の加算比較選択装置における簡易加算手段の構成を示す図である。

【図8】本発明にかかる第6の実施例の加算比較選択装置における簡易加算手段の構成を示す図である。

10 【図9】本発明にかかる第7の実施例の加算比較選択装置における簡易加算手段の構成を示す図である。

【図10】本発明にかかる第8の実施例の加算比較選択装置における簡易加算手段の構成を示す図である。

【図11】本発明にかかる第9の実施例の加算比較選択装置における簡易加算手段の構成を示す図である。

【図12】本発明にかかる第10の実施例の加算比較選択装置における簡易加算手段の構成を示す図である。

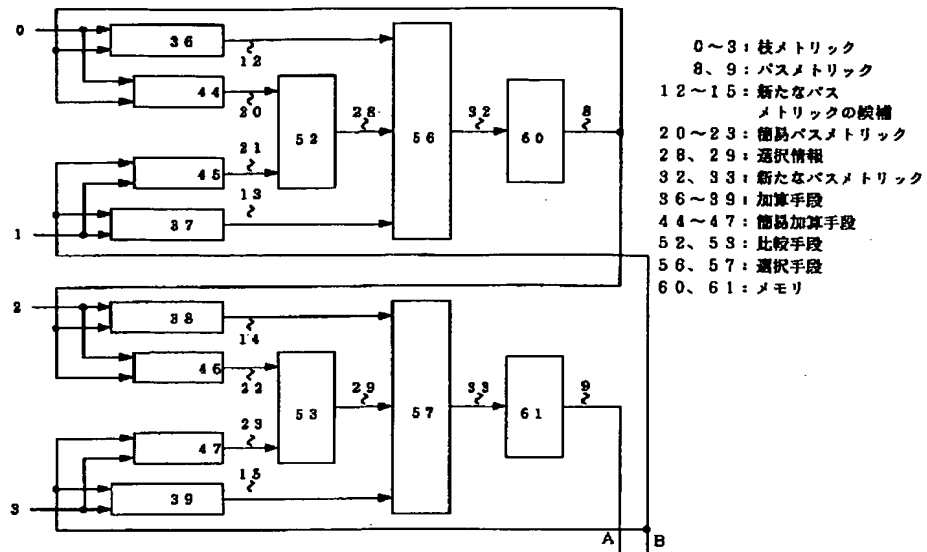
【図13】従来の加算比較選択装置（一部）の構成図である。

20 【図14】従来の加算比較選択装置（残りの一部）の構成図である。

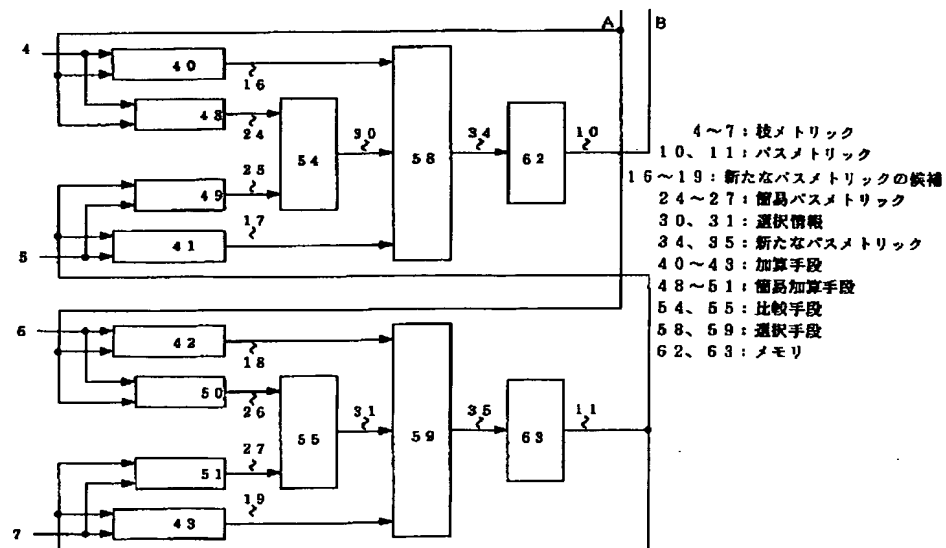
【符号の説明】

0～7	枝メトリック
8～11	パスメトリック
12～19	新たなパスメトリックの候補
20～27	簡易パスメトリック
28～31	選択情報
32～35	新たなパスメトリック
36～43	加算手段
44～51	簡易加算手段
52～55	比較手段
56～59	選択手段
60～63	メモリ
100～107	枝メトリック
108～111	パスメトリック
112～119	新たなパスメトリックの候補
128～131	選択情報
132～135	新たなパスメトリック
136～143	加算手段
152～155	比較手段
156～159	選択手段
160～163	メモリ

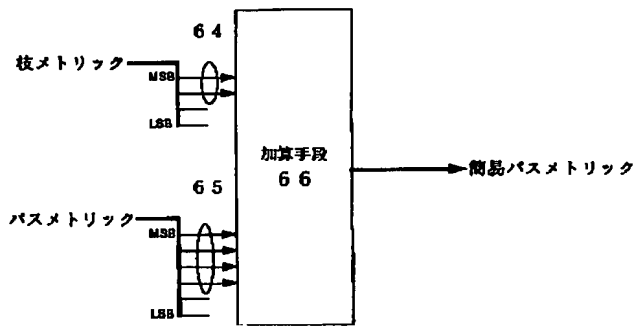
【図1】



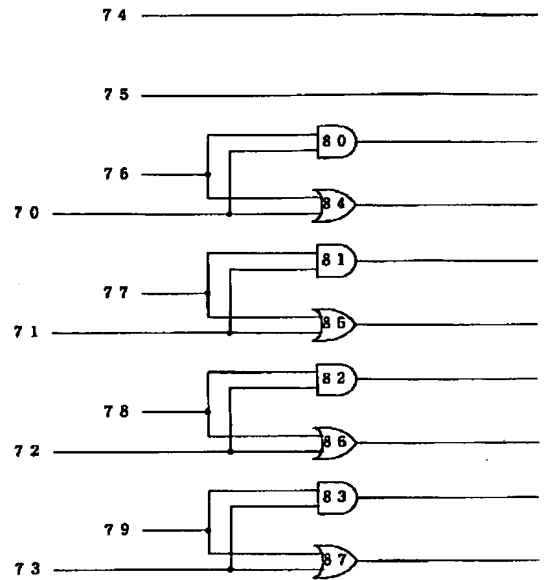
【図2】



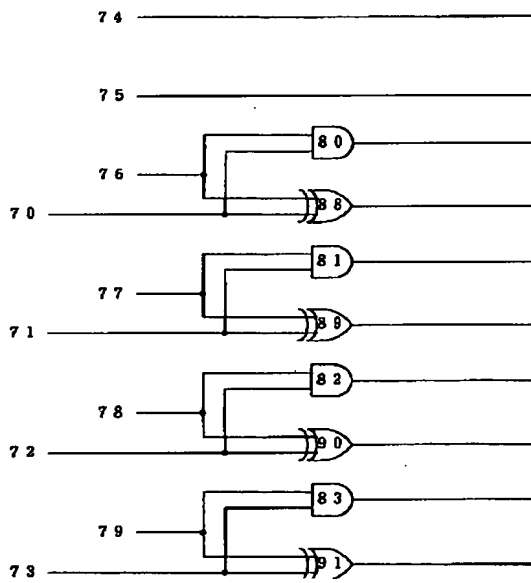
【図3】



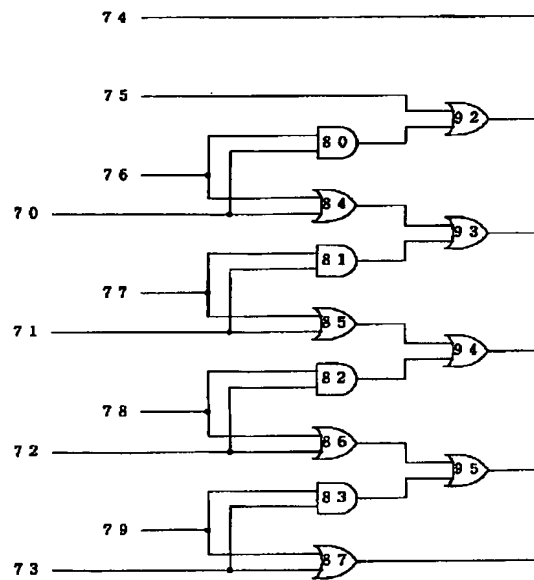
【図4】



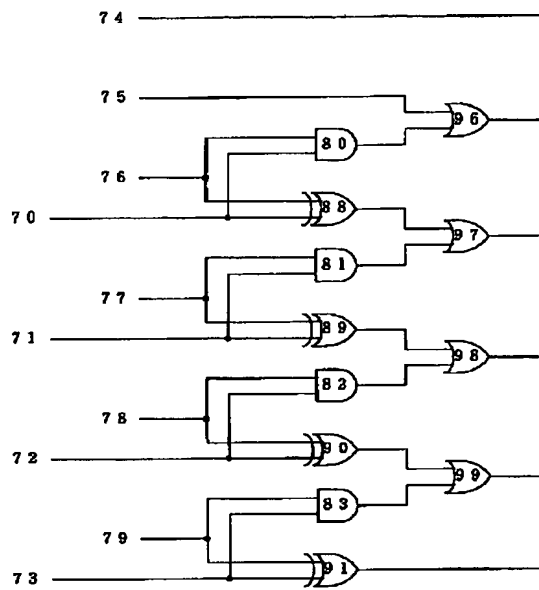
【図5】



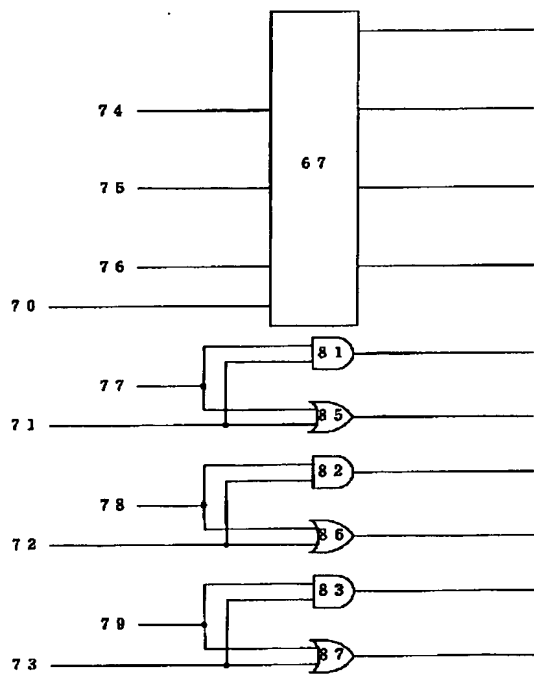
【図6】



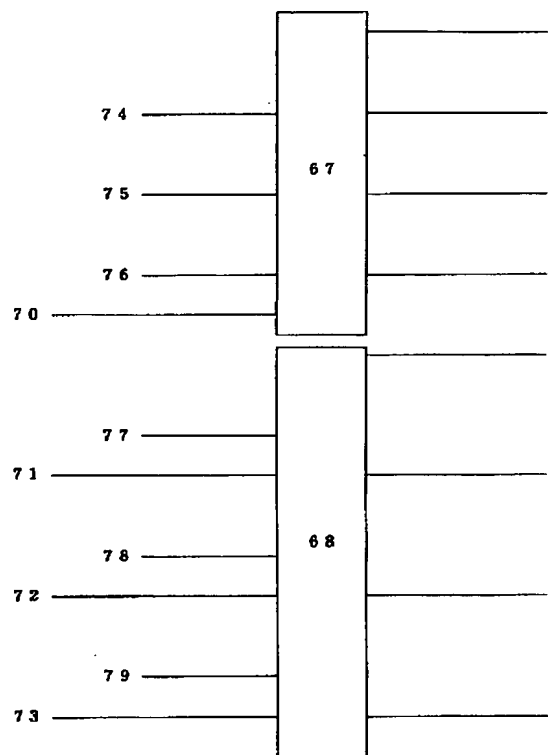
【図7】



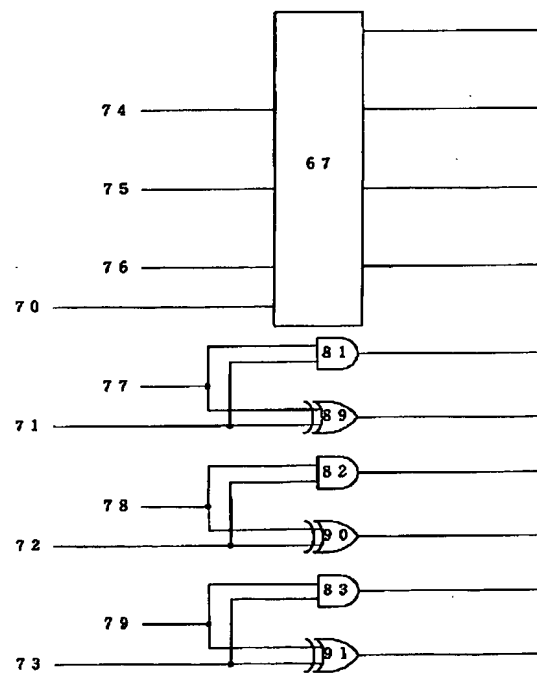
【図9】



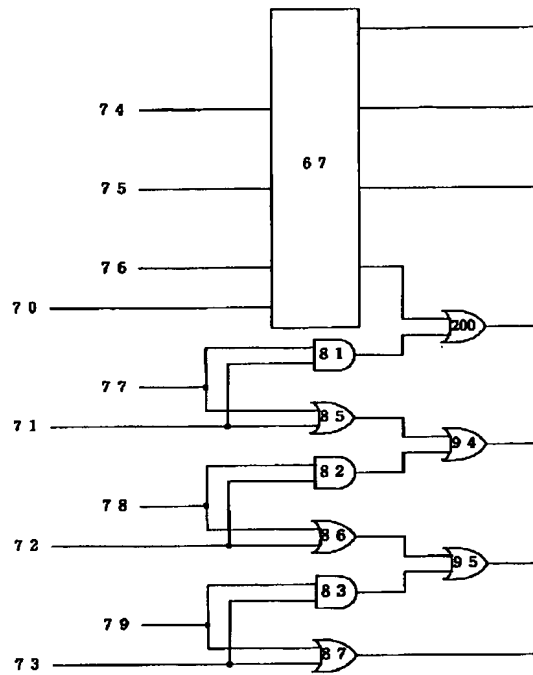
【図8】



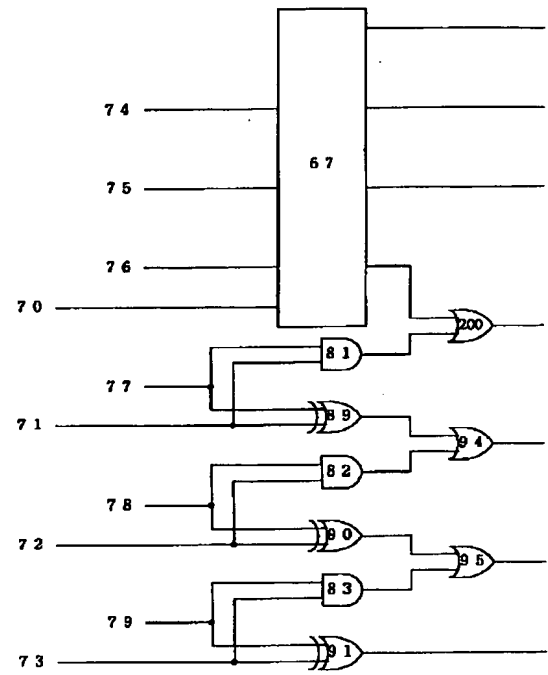
【図10】



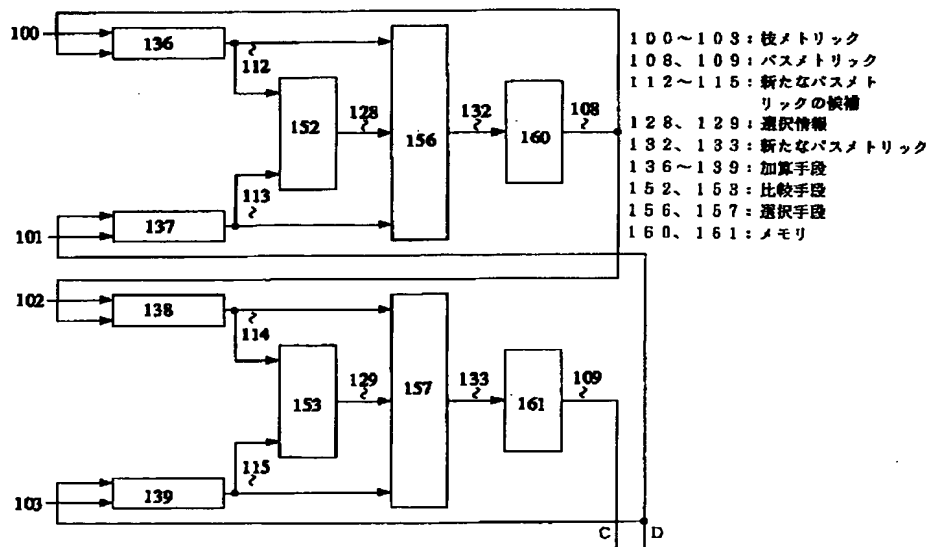
【図11】



【図12】



【図13】



【図14】

